

一种高效的多码率 LDPC 译码器的设计

李风飞,郝学飞,胡国荣

(中国科学院 微电子研究所,北京 100029)

摘 要: 利用最小和算法(Min-Sum Algorithm,MSA),提出了一种存储高效的、低复杂度的多码率 LDPC 译码器.通过引入映射网络和地址产生器,采用流水线设计,降低了硬件实现复杂度,减少了存储需求量,提高了系统吞吐量.通过资源复用,在不增加存储器的情况下,实现了码率可调.采用该结构,在 FPGA 上实现了一个适合中国移动多媒体广播(CMMB)标准的 LDPC 译码器,1/2 码率 10 次迭代时,吞吐量可达 70.5 Mb/s,3/4 码率 15 次迭代时,吞吐量可达 73.2 Mb/s.

关键词: LDPC;CMMB;最小和算法;FPGA

中图分类号: TN911

文献标识码: A

文章编号: 1000-7180(2011)02-0023-05

High-Efficient, Multi-rate LDPC Decoder Design

LI Feng-fei, HAO Xue-fei, HU Guo-rong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A multi-rate LDPC decoder, with memory efficient and low complexity, is presented in this paper based on the Min-Sum Algorithms. Mapping network, Address Generator and pipe line design are adopted to reduce the complexity of hardware implementation, decrease the quantity of memory usage, and enhance the throughput of system. The rate thus becomes reconfigurable through sharing resources without increasing any memory usage. Based on this structure, a LDPC decoder for CMMB standard is implemented on FPGA. The throughput can be up to 70.5 Mb/s while the rate is 1/2 and iteration is 10, and 73.2 Mb/s while the rate is 3/4 and iteration is 15.

Key words: LDPC; CMMB; Min-Sum Algorithm; FPGA

1 引言

低密度奇偶校验(LDPC)码由 Gallager 于 1962 年提出^[1],是除 Turbo 码外的另一类逼近香农限的纠错码.基于置信度传播迭代译码的长 LDPC 码,被证明能获得距香农限零点几分贝的误码性能,这使 LDPC 码在通信和数字存储系统中得到了广泛应用^[2-3],CMMB 系统中也使用 LDPC 码进行差错控制.

在 LDPC 译码器的设计中,随着码长的增加,校验矩阵和外信息的存储量,以及硬件资源的消耗也越来越高.所以,如何减少译码存储量、如何降低译码所需的硬件资源,一直是纠错领域研究的热点.

本文针对 CMMB 标准,采用部分并行结构,设

计了一种高效的多码率 LDPC 译码器.译码器采用对地址偏移量的存储代替对校验矩阵的存储,减少了存储量;引入映射网络,实现了校验节点和变量节点复用一组外信息存储器;使用流水线设计,提高了系统吞吐量;多码率时对存储器和处理单元的复用,节省了资源使用量.

2 LDPC 译码算法

基于软判决的置信度传播迭代译码算法(BP),因其较低的译码复杂度和较好的译码性能,而在 LDPC 译码器设计中得到广泛使用. Fossorier 对低复杂度的 BP 算法作了进一步研究,提出了最小和译码算法^[4](Min-Sum Algorithm,MSA),简化了 BP 算法.为了改善最小和算法因校验节点上的简化

处理而造成的性能损失, J. Chen 提出了两种改进算法: 采用归一化近似的修正最小和算法^[5] (Normalized MSA) 和通过降低可靠性值来改善外信息精度的带偏移量的最小和算法^[6] (Offset MSA). 考虑到译码器硬件实现的复杂性以及译码性能, 本文采用 MSA 作为译码算法, 具体译码步骤如下:

(1) 初始化

根据接收到的先验概率, 计算初始信道信息 p_i :

$$p_i = \log \frac{P(x_i = 0 | y_i)}{P(x_i = 1 | y_i)} \quad (1)$$

校验节点 r_{mn} 初始化为 0.

(2) 变量节点更新

在第 i 次迭代中, 变量节点的外信息 $q_{mn}[i]$ 的计算:

$$q_{mn}[i] = p_n + \sum_{m' \in (M(n) \setminus m)} r_{m'n}[i-1] \quad (2)$$

$M(n)$ 表示校验矩阵中第 n 列中 1 的行标所形成的集合, $M(n) \setminus m$ 表示 $M(n)$ 中去除 m 形成的集合.

(3) 校验节点更新

在第 i 次迭代中, 校验节点的外信息 $r_{mn}[i]$ 的计算:

$$r_{mn}[i] = \prod_{n' \in (N(m) \setminus n)} \text{sign}(q_{mn'}[i]) \times \min_{n' \in (N(m) \setminus n)} \{|q_{mn'}[i]|\} \quad (3)$$

$N(m)$ 表示校验矩阵中第 m 行中 1 的列标所形成的集合, $N(m) \setminus n$ 表示 $N(m)$ 中去除 n 形成的集合.

(4) 译码判决

计算后验概率, 进行硬判决:

$$\Delta_n[i] = p_n + \sum_{m \in \{M(n)\}} r_{mn}[i-1] \quad (4)$$

如果 $\Delta_n > 0$, 则第 n 比特译为 0, 否则译为 1. 当码字 c 与校验矩阵 H 满足 $Hc = 0$, 或者译码达到最大迭代次数时, 译码结束.

3 译码器的结构设计

3.1 CMMB 中的 LDPC 码

CMMB 系统中的 LDPC 码是高度结构化的码, 很适合于硬件实现. 其码长为 9 216 比特, 拥有 1/2 和 3/4 两种码率. 对于两种码率, 校验矩阵 H 的大小分别是 $4\ 608 \times 9\ 216$ 和 $2\ 304 \times 9\ 216$, 行重分别为 6 和 12, 列重均为 3. 1/2 码率的校验矩阵每隔 18 行, “1”的位置向右循环移位 36 列; 3/4 码率的校验

矩阵每隔 9 行, “1”的位置向右循环移位 36 列.

根据这一特点, 可以通过校验矩阵的前 18 行 (3/4 码率时为前 9 行) 的移位扩展得到整个校验矩阵. 所以, 对校验矩阵的存储, 可以简化为只存储校验矩阵的前 18 行中的“1”的位置. 文献[7]采用了这种存储方式. 本文通过对地址偏移量的存储, 进一步减少了数据存储量.

3.2 译码器总体结构

LDPC 码的译码器通常分为串行结构、并行结构和部分并行结构. 考虑到译码器硬件实现的复杂性和译码性能, 设计中采用部分并行结构. 根据 CMMB 中 LDPC 的校验矩阵的结构特点, 将校验矩阵按行划分成 18 组 (3/4 码率时划分为 9 组), 每组 256 行; 按列划分为 36 组, 每组 256 列. 每个行组共用一个校验节点处理单元 (CNU), 每个列组共用一个变量节点处理单元 (VNU). 所以, 本设计中变量节点并行度为 36, 校验节点并行度为 18 (3/4 码率时为 9), 译码器整体结构如图 1 所示. 主要包括变量校验节点处理单元 (VNU)、校验节点处理单元 (CNU)、地址生成器、映射网络、存储部分、控制模块等.

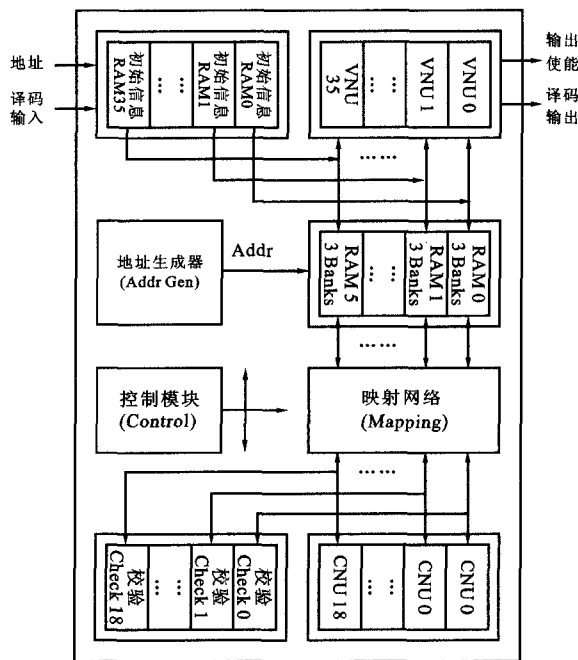


图 1 LDPC 译码器硬件结构

译码器中的存储主要包括信道信息存储、CNU 和 VNU 的外信息存储、以及译码信息 (每次迭代译码后得到的译码输出信息) 的存储. 信道信息的存储采用乒乓设计, 用来提高系统吞吐量. CNU、VNU 的外信息以及译码信息, 共用一组双口 RAM 来存

储,其中译码信息存入 RAM 的最低位. 校验模块 (Check)在每次迭代结束时,计算校验和,判断译码是否成功. 校验模块设计为与 CNU 单元同时工作,如图 1 所示,节省了校验所消耗的时间,减小了迭代周期. Control 模块用来产生整个译码过程的控制信号,控制译码过程正确执行.

3.3 处理单元

处理单元 VNU 和 CNU 是迭代运算的核心,它们的工作频率直接关系到整个系统的处理速度. 本设计中采用流水线设计,将运算延时均分到流水线的每一级中,进而减小最大延时,提高系统速率. VNU 单元的电路结构如图 2 所示.

CNU 单元由最小值模块 Min 和符号模块 Sign 组成. 1/2 码率下,Min 模块和 Sign 模块的电路结构如图 3 所示(表示异或,R 表示寄存器,CMP 表示比较器,MUX 表示选择器). 3/4 码率和 1/2 码率时列重均为 3,所以它们的 VNU 完全相同,可以直接复用;3/4 码率时行重为 12,1/2 码率时行重为 6,所以 3/4 码率时的 CNU 可以由两个 1/2 码率时的 CNU 组成,即在两个最小值和两个次小值中求得新的最小值和次小值.

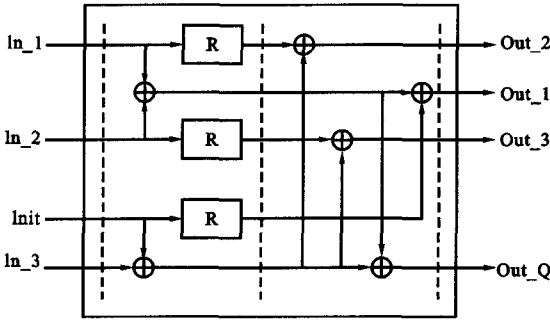


图 2 变量节点单元结构(VNU)

3.4 映射网络

本文通过引入一个映射网络,实现了 VNU 与 CNU 共用一组 RAM 存储外信息. 外信息存储 RAM 按列并行度分为 36 组,每组 3 块,分别用来存储每个列组中的 3 个“1”的外信息,这样,VNU 单元所需的数据与 RAM 块的顺序一致,读写数据无需映射就可以直接使用. 而 CNU 运算所需的数据与 RAM 块是一一对应的,但顺序不同,所以数据需要经过映射网络之后才能使用或写入. 1/2 码率时的映射表如表 1 所示.

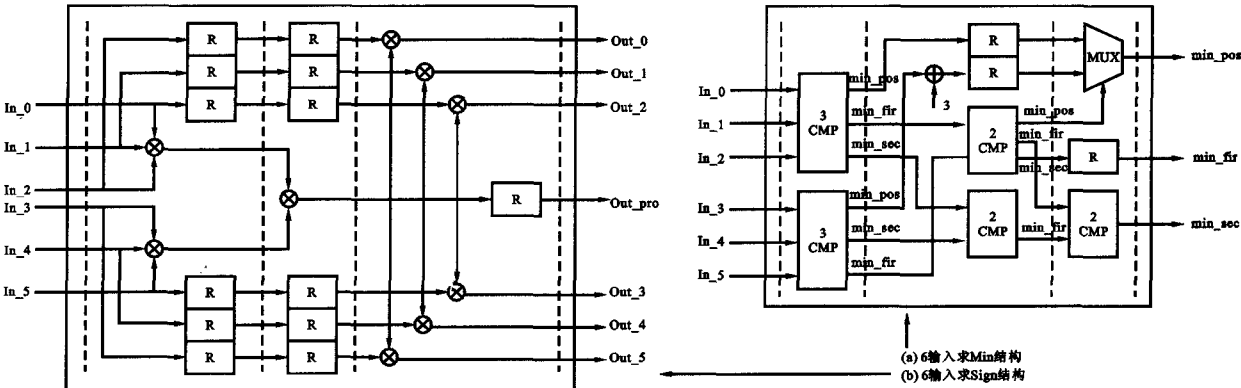


图 3 校验节点单元结构(CNU)

表 1 1/2 码率的映射表

	C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
0	0 ₀	3 ₀	6 ₀	9 ₀	12 ₀	15 ₀	0 ₁	1 ₁	2 ₁	5 ₁	7 ₁	8 ₁
1	1 ₀	4 ₀	7 ₀	10 ₀	13 ₀	16 ₀	3 ₁	9 ₁	15 ₁	11 ₂	13 ₂	16 ₂
2	2 ₀	5 ₀	8 ₀	11 ₀	14 ₀	17 ₀	6 ₁	12 ₁	4 ₅	10 ₁	14 ₂	17 ₃
	C12	C13	C14	C15	C16	C17	C18	C19	C20	C21	C22	C23
0	0 ₂	2 ₂	3 ₂	4 ₁	5 ₂	7 ₂	0 ₃	1 ₂	2 ₃	3 ₃	8 ₂	11 ₁
1	1 ₅	9 ₃	15 ₂	16 ₃	6 ₄	12 ₃	12 ₅	16 ₁	6 ₅	7 ₄	8 ₃	13 ₃
2	11 ₃	13 ₄	17 ₄	14 ₅	8 ₄	10 ₃	10 ₅	9 ₅	4 ₄	5 ₅	15 ₃	14 ₄
	C24	C25	C26	C27	C28	C29	C30	C31	C32	C33	C34	C35
0	17 ₁	0 ₄	1 ₃	4 ₂	6 ₂	12 ₂	0 ₅	1 ₄	2 ₄	4 ₃	5 ₃	6 ₃
1	13 ₁	3 ₄	9 ₂	7 ₃	10 ₂	14 ₁	7 ₅	3 ₅	14 ₃	9 ₄	12 ₄	17 ₂
2	11 ₅	5 ₄	2 ₅	16 ₅	15 ₄	17 ₅	15 ₅	10 ₄	13 ₅	16 ₄	8 ₅	11 ₄

标题行的数字表示列组号,对应 RAM 的组号;第一列的数字表示每列中 3 个“1”的序号,也是组内 RAM 的序号;表中数字表示行组号,对应着 CNU 单元的序号;下标表示每行中 6 个“1”的序号,对应 CNU 单元的输入序号. 由列组号和列序号可以确定一块 RAM,再由表中对应元素可以确定一个具体的 CNU 运算单元的一个输入,将该 RAM 与该 CNU 单元的输入直接连接,即完成了一个映射. 例如,151 对应列组号为 8,列序号为 1,所以它对应着第 8 RAM 组的第 1 块 RAM,同时 151 对应第 15 个 CNU 单元中的第一个输入,将该 RAM 与该输入直接对应即可.

3.5 地址生成器

传统设计中,外信息 RAM 的读写地址通过校验矩阵得到,所以需要存储校验矩阵的相关信息,花费很大的存储资源. 文献[7]通过只存储校验矩阵的基矩阵和索引矩阵,使得存储量只占传统设计的 0.39%. 本设计中采用地址偏移量的方式来获取外信息 RAM 的读写地址,可以进一步减少存储量:地址偏移量通过校验矩阵获得. 将校验矩阵的前 18 行中“1”的列序号除以 36,得到的商即为对应的地址偏移量.

校验矩阵的前 18 行有 108 个非零元素,所以只需要存储 108 个地址偏移量即可,每个数据采用 8 比特存储. 考虑到很多偏移量的值为 0,可以只存储非零偏移量,进一步减少存储量. 地址偏移量对存储空间的使用情况如表 2 所示. 与文献[7]相比,本设计只使用了不到 30%的存储空间. 此外,文献[7]中的地址偏移量需要经过加法和乘法的运算才能得到,消耗了大量硬件资源,基于偏移量的设计可以省出这些资源的消耗.

表 2 地址偏移量的存储资源使用表

码率	文献[7]	本文设计	占用比率
1/2	1 728 bits	440 bits	25.5%
3/4	1 728 bits	504 bits	29.2%

地址生成器用来产生设计中所有 RAM 的读写地址. 传统设计中,每块 RAM 独立产生读写地址,或每块 RAM 需要一个读写地址生成器,这使硬件资源的消耗很大. 本文设计中考虑到 RAM 地址均按累加变化,所以可以采用两个累加器来产生所有 RAM 的读写基地址. VNU 运算时的读写地址即为基地址,CNU 运算时的读写地址由基地址加地址偏移量得到,这样在简化设计的同时,减少了资源的使

用(图 4).

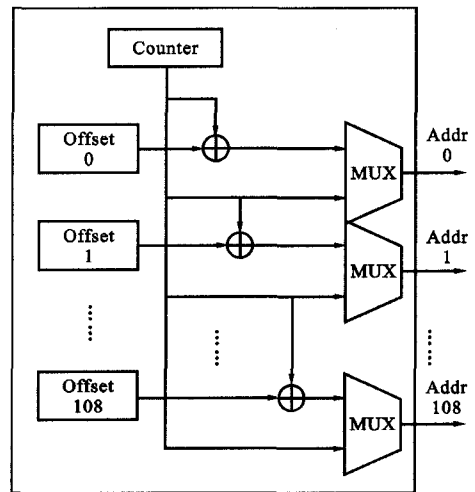


图 4 地址生成器

4 译码器的实现结果

根据前文提出的译码器结构,本文设计了一个针对 CMMB 标准的 LDPC 码多码率译码器,经过 Quartus II 8.1 综合,在 StratixII-EP2S60F1020I4 FPGA 上的资源使用情况及性能如表 3 所示(“/”左侧为 1/2 码率,右侧为 3/4 码率).

表 3 资源使用统计表

码率	文献[8]		本文设计	
	单码率	多码率	单码率	多码率
ALUTs	13 473	15 568	8 764	11 779
Registers	5 549	5 574	10 610	11 120
Memory/bits	442 368	442 368	294 912	294 912
频率/MHz	—	—	113	90
迭代次数	—	—	10/15	10/15
吞吐量/(Mb/s)	—	—	88.54/91.93	70.52/73.22

由表 3 可见,多码率设计时,RAM 资源得到了完全复用,ALUTs 的使用有一些增加,这主要是由于码率选择过程引入的. 与文献[8]相比,本文的设计中 RAM 使用量减少了 33.3%,ALUTs 的使用量也有所减少;寄存器的使用量有了明显的增加,这主要是由于本文采用流水线设计而引入的. 在 1/2 码率情况下,迭代次数为 10,信噪比为 2.5 dB 时,误比特率小于,吞吐量可达 70.52 Mb/s,远远高于标准中要求的 16 Mb/s,如果采用时分复用,一个译码器可以实现对 4 路 CMMB 数据的同时译码,进一步减少了 CMMB 系统的硬件消耗.

5 结束语

文中提出了一种高效的、低复杂度的多码率

LDPC 译码器,并在 Altera 的 FPGA 上进行了验证.实现结果表明,采用该结构设计的译码器,可以减少存储量,提高吞吐量,简化设计,并且在不显著增加硬件消耗的前提下,实现码率和迭代次数可调.多码率时最高频率可达 90 MHz,1/2 码率时的吞吐量可达 70.52 Mb/s,3/4 码率时的吞吐量可达 73.22 Mb/s,均满足 CMMB 标准对吞吐量的要求.

参考文献:

- [1] Gallager R G. Low-density parity-check codes [J]. IRE Trans Inform Theory, 1962, 8(1):21—28.
- [2] 李刚,黑勇,仇玉林.一种准循环 LDPC 解码器的设计与实现[J].微电子学与计算机,2008,25(7):52—55.
- [3] 宋文妙,张建昕.基于电力线信道的改进 LDPC 码译码算法研究[J].微电子学与计算机,2009,26(2):171—173.
- [4] Fossorrier M P C, Mihaljevic M, Imai H. Reduced complexity iterative decoding of low-density parity check codes based on belief propagation [J]. IEEE Trans Communications, 1999, 47(5):673—680.
- [5] Chen Jinghu, Fossorrier M P C. Near optimum universal belief propagation based decoding of low-density par-

ity check codes [J]. IEEE Trans Communications, 2002, 50(3):406—414.

- [6] Chen Jinghu, Fossorrier M P C. Density evolution for BP-based decoding algorithms of LDPC codes and their quantized versions[J]. IEEE Commun Lett, 2002, 6(5):208—210.
- [7] Lee So-Jin, Park Joo-Yul, Chung Ki-Seok. Memory efficient multi-rate regular LDPC decoder for CMMB [J]. IEEE Trans Consumer Electronic, 2009, 55(4):1866—1874.
- [8] 康亮,杨波,沈萌.符合 CMMB 标准的 LDPC 解码器设计[J].电视技术,2009,33(5):40—42.

作者简介:

李凤飞 男,(1984—),硕士研究生.研究方向为信道编解码、通信系统专用集成电路设计.

郝学飞 男,(1973—),副研究员.研究方向为宽带无线通信理论与技术、数字信号处理与 VLSI 设计应用技术.

胡国荣 男,(1966—),研究员,博士生导师.研究方向为宽带有线和无线接入、数字家庭网络、宽带网络传输(PHY+MAC)系统 SOC 芯片.

(上接第 22 页)

参考文献:

- [1] 李刚,黑勇,仇玉林. MB_OFDM UWB 系统中高吞吐量 Viterbi 译码器的实现 [J]. 微电子学与计算机,2008,25(4):18—21.
- [2] 李庆,李选中,江汉红,等. 高速 VITERBI 译码器的研究与设计[J]. 微电子学与计算机,2009,26(1):109—112.
- [3] Sun Fei, Zhang Tong. Low-power state-parallel relaxed adaptive viterbi decoder[J]. IEEE Transactions on Circuits and Systems I, 2007,54(5):1060—1068.
- [4] Tsui C Y, Roger S K, Curtis C L. Low power ACS unit design for the Viterbi decoder[C]// Proc 2006 IEEE Int Symp Circ and Syst. Orlando: IEEE, 2006:137—140.
- [5] Lin Chien-Ching, Wu Chia-Cho, Lee Chen-Yi. A low power and high speed viterbi decoder chip for WLAN applications [C]// 2005 IEEE Workshop on Signal Processing Systems Design and Implementation. Greece: IEEE,2005:710—715.

- [6] Angarita F, Canet M J, Sansaloni T, et al. Reduction of power consumption in a Viterbi Decoder for OFDM—WLAN[C]// 14th IEEE International Conference on Electronics, Circuits and Systems. Morocco: IEEE, 2007:586—588.

- [7] Han Jae-Sun, Kim Tae-Jin, Lee Chanhoo. High performance Viterbi decoder using modified register exchange methods [C]// Vancouver: IEEE Proceedings of the International Symposium Circuits and Systems, ISCAS'04. Vancouver: IEEE, 2004, 3:553—556.

作者简介:

张维津 女,(1984—),硕士研究生.研究方向为无线通信、数字 IC 设计.

张科峰 男,(1960—),副教授.研究方向为移动通信、体系结构、集成电路设计.